

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-175713

(43)Date of publication of application : 14.07.1995

(51)Int.Cl.

G06F 12/00

G11C 11/401

(21)Application number : 05-317126

(71)Applicant : SHARP CORP

(22)Date of filing : 16.12.1993

(72)Inventor : URATANI MUNEHIRO

## (54) MULTI-PORT SEMICONDUCTOR STORAGE

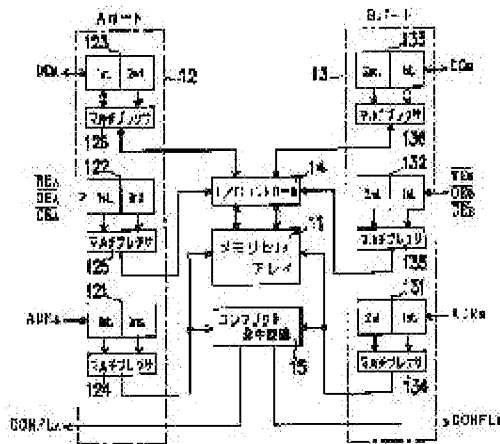
(57)Abstract:

PURPOSE: To attain the smooth processing of conflict by extending the discontinuation of transfer of the access information up to a cycle following the next one when the conflict occurs.

CONSTITUTION: When a conflict occurrence detecting circuit 15 detects no conflict, the multiplexers 124-126 and 134-136 select the access information stored in each first stage of shift registered 121-123 and 131-133 respectively to input and output these selected information. If the circuit 15 detects the conflict, those multiplexers select the access information stored in each second stage of those shift registers and input and output these selected information.

Meanwhile each shift register performs a shift operation when both CEA and CEB bars are set at low levels (selection) for the chip enable signals of the control signals sent from the ports 12 and 13 and stores the access information in its

first stage. When a conflict signal CONFLB is set at high level (conflict), a CPU sets the CEB bar of the chip enable signal at high level in a cycle following to the next one and delays the access by an extent equal to a single cycle.



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In the multiport semiconductor memory equipped with a contention detection means to judge whether it is that by which the access information of the address which had two or more input/output port for accessing a memory cell, and has been sent to each input/output port should stop access by contention The queue means received by the queue in which access information was prepared in each input/output port, A non-competing tense means to take out this access information from a queue and to perform access about each input/output port when the access information of the head of the queue concerned does not have an access termination judged by the contention detection means, When the access information of the head of the queue concerned has an access termination judged by the contention detection means, while stopping access by this access information about each input/output port The multiport semiconductor memory equipped with the contention tense means to which a busy signal is made to output from the input/output port concerned.

[Claim 2] In the multiport semiconductor memory equipped with a contention detection means to judge whether it is that by which the access information of the address which had two or more input/output port for accessing a memory cell, and has been sent to each input/output port should stop access by contention While two steps of shift registers which store access information in the 1st step of register are prepared in each input/output port, respectively About each input/output port, when the last cycle is an access termination, use the 2nd step of the shift register concerned as a access register, and when

it is not an access termination The register change means which uses the 1st step of this shift register as a access register, About each input/output port, the 1st step of the shift register concerned is a access register. A usual tense means to perform access by this access information when the access information of this access register does not have an access termination judged by the contention detection means, About each input/output port, the 1st step of the shift register concerned is a access register. When the access information of this access register has an access termination judged by the contention detection means, while stopping access by this access information A contention generating tense means to make a busy signal output from the input/output port concerned, and to carry out the shift action of the shift register, and to shift access information from the 1st step to the 2nd step, About each input/output port, the 2nd step of the shift register concerned is access registers. When the access information of this access register has an access termination judged by the contention detection means, while stopping access by this access information At the time of the continuation of contention to which a busy signal is made to output from the input/output port concerned, a control means, About each input/output port, the 2nd step of the shift register concerned is access registers. The multiport semiconductor memory equipped with a contention resolution tense means to perform access by this access information when the access information of this access register did not have an access termination judged by the contention detection means.

[Claim 3] The multiport semiconductor memory according to claim 1 or 2 the number of the input/output port for accessing a memory cell is [semiconductor memory] two.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention has independently two or more input/output port for accessing a memory cell, and relates to multiport semiconductor memories, such as the 2 port RAM [Random Access Memory] (dual port RAM) used as a shared memory

for delivering data between CPUs [Central Processing Unit].

[0002]

[Description of the Prior Art] Co-operation must be performed when using a shared memory by two CPU-to-CPU for delivery of data, and access from each CPU competes.

The 2 port RAM is a semiconductor memory used as such a shared memory.

[0003] The configuration at the time of using the 2 port RAM 1 for drawing 5 as two CPUs<sup>2</sup> and a shared memory between three is shown. The 2 port RAM 1 is equipped with the A port 12 and B port 13 which are the memory cell array 11 and two input/output port which consist of many memory cells. While the address bus, control bus, and data bus of each CPUs 2 and 3 are connected separately and the address and a control signal are sent in, respectively, I/O of data has come be made to the A port 12 and B port 13. Moreover, from these ports 12 and 13, it can access now independently to the memory cell array 11, respectively. That is, when the address sent to ports 12 and 13 does not compete, based on the address, coincidence can be accessed at the memory cell array 11 independently, respectively. Moreover, coincidence can be accessed when both both sides are read-out actuation, even if the address competes. However, since either writes in at least, and it is set as the object of co-operation when it is access, it is necessary to stop access from one of the ports 12 and 13. And generally this co-operation is realized by the busy weight [busy wait] (busy wait) method.

[0004] The configuration of the conventional typical 2 port RAM 1 is shown in drawing 6 (henceforth the "1st conventional example").

[0005] The addresses ADRA and ADRB sent to ports 12 and 13 are inputted into the memory cell array 11 through an address buffer 128 or an address buffer 138, respectively. In the memory cell array 11, these addresses are decoded and a memory cell is chosen, respectively. A control signal consists of the write enable signal WEA bar for performing control of writing or read-out, control of data output, and a chip select, a WEB bar, an output enable signal OEA bar, an OEB bar and a chip enable signal CEA bar, and a CEB bar, and is inputted into the I/O control circuit 14 through the control signal buffer 127 or the control signal buffer 137, respectively. And as for Data DQA and DQB, the I/O between the memory cell arrays 11 is performed through this I/O control circuit 14.

[0006] The addresses ADRA and ADRB inputted through the above-mentioned address buffer 128 and an address buffer 138 are sent also to the conflict generating circuit 15, respectively. The conflict generating circuit 15 is a circuit to which the conflict signals CONFLA and CONFLB (busy signal) which become high-level are made to output from ports 12 and 13, respectively, when it inspects whether Address ADRA and Address ADRB compete and these compete. In addition, not only when the memory cell which these are completely in agreement and corresponds becomes the same but when the separate corresponding memory cell has structure which cannot access memory configuration top coincidence, it thinks, but in subsequent explanation, contention of Addresses ADRA and ADRB shall compete, only when Addresses ADRA and ADRB are in agreement, since it is easy. Moreover, since it is the same and easy in subsequent explanation, if access is written in, only the case of access is shown and Addresses ADRA and ADRB compete, it is always necessary to stop this access.

[0007] In the 2 port RAM 1 of the above-mentioned 1st conventional example, actuation when there is write-in access to the address with which N, N+1, N+2, and -- follow coincidence is explained based on drawing 7 . However, both the ports 12 and the cycle of access of 13 shall synchronize completely here, and priority shall be given to access from the A port 12 at the time of contention. Therefore, since the need for a termination according [access from the A port 12 side] to contention is lost, the conflict signal CONFLA outputted from this A port 12 is disregarded. Moreover, the chip enable signal CEA bar sent to this A port 12 always serves as a low level (selection) in the cycle shown in drawing 7 .

[0008] First, in both T1 cycles, since Addresses ADRA and ADRB serve as N, contention occurs, and the conflict generating circuit 15 makes the conflict signal CONFLB high level (contention). Moreover, thereby, although access by the side of the A port 12 is performed, access by the side of B port 13 is stopped. In addition, these are disregarded, although a write enable signal WEB bar is set to a low level (writing) while DN is inputted into B port 13 as data DQB for writing in this case.

[0009] Next, in T two cycle, the address ADRA of the A port 12 changes to N+1, and access is performed. However, in a B port 13 side, CPU3 shown in above-mentioned drawing 5 connected here makes a chip enable signal CEB bar high level (un-choosing),

the conflict signal CONFLB is inspected, and it detects that access went wrong.

[0010] And in T3 cycle, since it has detected that CPU3 by the side of B port 13 failed in access in T two cycle, the same access as T1 cycle is repeated again. Then, the address ADRA of this A port 12 is  $N+2$ , and since the conflict generating circuit 15 makes the conflict signal CONFLB a low level (un-competing), access from ports 12 and 13 is performed by coincidence.

[0011] Moreover, in T four cycle, the address ADRA of the A port 12 changes to  $N+3$ , and access is performed. However, at a B port 13 side, CPU3 inspects the conflict signal CONFLB like T two cycle, and after detecting that this CPU3 succeeded in access, the next address ADRB of  $N+1$  is sent out in T5 cycle. And similarly hereafter, unless contention occurs again, from the A port 12, sequential access is performed from B port 13 to every other cycle for every cycle again.

[0012] Thus, access will be advanced in the 1st conventional example, investigating whether CPU3 by the side of low B port 13 of priority inspected the conflict signal CONFLB every other cycle, and access was successful. Moreover, when it is detected that contention occurred and access went wrong, the same address ADRB is sent out again. In addition, when the cycle of both accesses does not synchronize, access performed from the A port 12 side during access by the side of B port 13 may compete. And at this time, access by the side of the A port 12 will have to be stopped, and CPU2 will also need to perform same control based on the conflict signal CONFLA. In addition, the conflict generating circuit 15 makes the conflict signals CONFLA and CONFLB of the side which stops access high level (contention) a sake [ in such a case ].

[0013] The example of other conventional 2 ports RAM 1 is shown in drawing 8 and drawing 9 (henceforth the "2nd conventional example").

[0014] This 2 port RAM 1 carries out time sharing of the 1 cycle to two, and forms the access-time band of dedication of the A port 12 and B port 13, respectively. That is, as shown in drawing 9, access of each cycles T1 and T2 and T3-- make the chip enable signal CEA bar of the A port 12 into a low level (selection) in the time zone of the first half, and according to Address ADRA is performed, the chip enable signal CEB bar of B port 13 is made into a low level (selection) in the time zone of the second half, and access by Address ADRB is performed. Therefore, since these do not compete even if it

performs write-in access to the address as the same cycle where both ports 12 and 13 are the same, as shown in drawing 8 , the conflict generating circuit 15 shown in the 1st conventional example becomes unnecessary, and control of the busy weight method by the conflict signal CONFL also becomes unnecessary.

[0015] In addition, adjustment of the access-time band only for the above is controlled on the system containing two CPUs 2 and 3 which access this 2 port RAM 1 top or 2 port RAM 1.

[0016]

[Problem(s) to be Solved by the Invention] However, in order that low CPU3 of the priority by the side of B port 13 may advance access in the case of the above-mentioned 1st conventional example, inspecting the conflict signal CONFLB every other cycle, Although one access is performed and 1 cycle was originally sufficient, even when contention does not occur, a two cycle is required, when contention occurs, a four cycle will be required, and there was a problem that a data transfer rate fell. And since CPU3 needed to send out same Address ADRB, Data DQB, etc. again when contention occurred and access went wrong, there was also a problem that the control in this CPU3 became complicated.

[0017] Moreover, in order to make into 1 cycle the period whose two accesses are originally attained in the case of the above-mentioned 2nd conventional example, A data transfer time becomes always twice as required as usual, and moreover [ whether these are synchronized on a system so that both CPUs 2 and 3 may access the access-time band of each dedication, and ] Or actuation of delaying a signal and adjusting it in the 2 port RAM 1 was needed, and there was a problem that the degree of freedom of a system is spoiled, or variation occurred in the completion time amount of access, and processing by CPU became complicated.

[0018] This invention solves the above-mentioned conventional problem, and aims at offering the multiport semiconductor memory which makes processing of contention by the busy weight method carried out smoothly by using a queue.

[0019]

[Means for Solving the Problem] The multiport semiconductor memory of this invention has two or more input/output port for accessing a memory cell. In the multiport

semiconductor memory equipped with a contention detection means to judge whether it is that by which the access information of the address sent to each input/output port should stop access by contention. The queue means received by the queue in which access information was prepared in each input/output port. A non-competing tense means to take out this access information from a queue and to perform access about each input/output port when the access information of the head of the queue concerned does not have an access termination judged by the contention detection means. When the access information of the head of the queue concerned has an access termination judged by the contention detection means, while stopping access by this access information about each input/output port. It has the contention tense means to which a busy signal is made to output from the input/output port concerned, and the above-mentioned purpose is attained by that.

[0020] Moreover, the multiport semiconductor memory of this invention. In the multiport semiconductor memory equipped with a contention detection means to judge whether it is that by which the access information of the address which had two or more input/output port for accessing a memory cell, and has been sent to each input/output port should stop access by contention. While two steps of shift registers which store access information in the 1st step of register are prepared in each input/output port, respectively. About each input/output port, when the last cycle is an access termination, use the 2nd step of the shift register concerned as a access register, and when it is not an access termination. The register change means which uses the 1st step of this shift register as a access register. About each input/output port, the 1st step of the shift register concerned is a access register. A usual tense means to perform access by this access information when the access information of this access register does not have an access termination judged by the contention detection means. About each input/output port, the 1st step of the shift register concerned is a access register. When the access information of this access register has an access termination judged by the contention detection means, while stopping access by this access information. A contention generating tense means to make a busy signal output from the input/output port concerned, and to carry out the shift action of the shift register, and to shift access information from the 1st step to the 2nd step. About each input/output port, the 2nd step of the shift register concerned is access registers. When the



access information of this access register has an access termination judged by the contention detection means, while stopping access by this access information At the time of the continuation of contention to which a busy signal is made to output from the input/output port concerned, a control means, About each input/output port, the 2nd step of the shift register concerned is access registers. When the access information of this access register does not have an access termination judged by the contention detection means, it has a contention resolution tense means to perform access by this access information, and the above-mentioned purpose is attained by that.

[0021] Furthermore, the number of input/output port for the multiport semiconductor memory of this invention to access a memory cell in addition to the above-mentioned configuration is two, and the above-mentioned purpose is attained by that.

[0022]

[Function] By the above-mentioned configuration, a contention detection means detects contention suitably based on whether it is set as the object of co-operation according to the configuration of a memory cell etc. by inspecting the address, a control signal, etc. in access information. And when it is detected that two or more access information competes mutually, it judges whether based on front and rear, priority, etc. of access, the input/output port should stop access by contention for each [ corresponding ] input/output port of every. As access information, it writes in the address and a control signal list, and there are write-in data in access etc.

[0023] A queue means constitutes a queue (queue [queue]) and controls the I/O by the FIFO [First-In First-Out] method of this queue by the array, a shift register, etc. namely, the access information which boiled this queue means in ancient times except for the access information which received access information to the queue, arranged it in order, and already took it out, and was received -- always -- a head -- being located -- reading (reference) -- it is made to be set as the object of ejection

[0024] When the access information of the head of the queue in each input/output port does not have an access termination judged by the contention detection means, a non-competing tense means performs access to a memory cell. Moreover, when this access information has an access termination judged by the contention detection means, while a contention tense means stops access, a busy signal is made to output from the

input/output port concerned. if a busy signal is outputted, the processor which performs access from the input/output port concerned will detect this in a next cycle, and will stop sending out of the access information in the cycle of a time one after another -- control is defined like (for example, a chip enable signal is made inactive). With a queue means, a halt of sending out of access information does not receive access information. therefore, the access information held at a queue since access is resumed only for the period same also when access was stopped by the contention tense means, the addition to the queue of access information is stopped after a two cycle and an access termination continues as this in the cycle in which the addition of access information was finally stopped while the addition of access information continued being stopped -- at most -- it becomes a part for a two cycle. The address information taken out in case the access information and access which are read for inspection of contention are performed is in the head of this queue, and whether this is received by which cycle differ by whether access was stopped by the cycle before last time.

[0025] Since a sending-out halt of access information when contention occurs is extended to the cycle of a time one after another according to this invention, it becomes unnecessary consequently, to be able to perform sending out of access information, and inspection of a busy signal to coincidence for every cycle, and to spend a cycle vainly in a busy weight method only for inspection of a busy signal. moreover, since resending appearance of the access information is not carried out at the time of contention generating, either, the cycle for this resending appearance is useless -- while losing, the access control by the side of a processor can be made to simplify

[0026] Invention of claim 2 realizes the queue means of claim 1 by operating a shift register by the shift action in a register change means and a contention generating tense means. And since a register change means makes the head of a queue always direct with a access register by changing the 2nd step to the 1st step of a shift register, both a tense means and a contention resolution tense means are usually equivalent to the non-competing tense means of claim 1. Moreover, since it is only the actuation that vacates the 1st step in order that the shift action of the shift register in a contention generating tense means may receive the following access information, with the last access information held, both control means correspond to the contention tense means of claim 1

at the time of this contention generating tense means and continuation of contention.

[0027] In addition, the shift action of the shift register in a contention generating tense means also performs storing in the 1st step of the following access information to coincidence by usually carrying out to the beginning of a next cycle. Moreover, since the access information shifted from the 1st step to the 2nd step in this case is meaningless, if there is a means to make access information store in the 1st step of register compulsorily otherwise, it is not necessary to be necessarily a shift action, although this shift register performs a shift action only for generally storing access information in the 1st step also in except in a contention generating tense means.

[0028] Invention of claim 3 applies this invention to the multiport semiconductor memory with which input/output port becomes two lines like the 2 port RAM.

[0029]

[Example] Hereafter, the example of this invention is explained.

[0030] The timing diagram and drawing 4 which show actuation of the 2 port RAM when contention generates only once the block diagram in which drawing 1 thru/or drawing 4 show one example of this invention, and drawing 1 shows the configuration of the 2 port RAM, the state transition diagram in which drawing 2 shows the control action of the 2 port RAM, and drawing 3 are a timing diagram which shows actuation of the 2 port RAM when contention occurs frequently. In addition, the same number is appended to the configuration member which has the same function as the above-mentioned conventional example.

[0031] This example explains the case where this invention is carried out in the 2 port RAM 1 shown in above-mentioned drawing 5 . In addition, this example explains the case where access from CPUs 2 and 3 synchronizes, and priority is given to access from CPU2 like the 1st conventional example.

[0032] The 2 port RAM 1 is constituted by the memory cell array 11, the A port 12, B port 13, the I/O control circuit 14, and the conflict generating circuit 15 as shown in drawing 1 . The memory cell array 11, the I/O control circuit 14, and the conflict generating circuit 15 are [among these] the same as the conventional example shown in drawing 6 . Moreover, the conflict signals CONFLA and CONFLB outputted are outputted through the A port 12 or B port 13, respectively from the conflict generating

circuit 15.

[0033] The A port 12 consists of three shift registers 121-123 and three multiplexers 124-126. Two or more shift registers 121-123 are shift registers with which the register of a bit was prepared in two steps, respectively. And while the address bus, control bus, and data bus of CPU2 shown in drawing 5 are connected to this A port 12 and Address ADRA, a control signal WEA bar, an OEA bar, and a CEA bar are sent into it as access information, respectively, it has come to be able to perform I/O of Data DQA. That is, the two or more bits address ADRA is inputted into the 1st step of each bit of a shift register 121. A multiplexer 124 is a circuit which chooses either of the addresses ADRA stored in both the stages of this shift register 121, and is sent to the memory cell array 11 and the conflict generating circuit 15. Moreover, the control signal WEA bar of a triplet, an OEA bar, and a CEA bar are inputted into the 1st step of each bit of a shift register 122. A multiplexer 125 is a circuit which chooses either of the groups of the control signal WEA bar stored in both the stages of this shift register 122, an OEA bar, and a CEA bar, and is sent to the I/O control circuit 14. Furthermore, the two or more bits data DQA are inputted into the 1st step of each bit of a shift register 123. However, about the 1st step of register of this shift register 123, it has bidirectionally composition which can be outputted and inputted and the data DQA stored here can also be outputted to a data bus. A multiplexer 126 is a circuit which chooses either of the data DQA stored in both the stages of this shift register 123, and is sent to the I/O control circuit 14. Moreover, this multiplexer 126 can also store now in the 1st step of a shift register 123 the data DQA sent from the I/O control circuit 14.

[0034] B port 13 also consists of three shift registers 131-133 and three multiplexers 134-136, and these are the respectively same configurations as the shift registers 121-123 of the A port 12, and multiplexers 124-126. However, the address bus of CPU3 shown in drawing 5 is connected to a shift register 131, and Address ADRB is inputted into it. Moreover, the control bus of CPU3 is connected to a shift register 132, and a control signal WEB bar, an OEB bar, and a CEB bar are inputted into it. Furthermore, the data bus of CPU3 is connected to a shift register 133, and I/O of Data DQB has come be made to it. The conflict signal CONFLB outputted through B port 13 from the conflict generating circuit 15 is sent to this CPU3.

[0035] the case where, as for the above-mentioned multiplexer 124-126,134-136, the conflict generating circuit 15 has not detected contention in an initial state and the last cycle -- each -- when it outputs and inputs by having chosen the access information stored in the 1st step of shift register 121-123,131-133 and contention is detected, it outputs and inputs by choosing the access information stored in the 2nd step. moreover -- each -- shift register 121-123,131-133 perform a shift action, when the chip enable signal CEA bar in the control signal sent to the ports 12 and 13 concerned and a CEB bar are low level (selection), and they store access information in the 1st step (latch). If the conflict signal CONFLB is set to high level (contention), also when CPU3 will detect this in a next cycle and it will access it succeedingly, control is set to delay access by 1 cycle one after another by making the chip enable signal CEB bar in the cycle of a time into high level (un-choosing). In addition, in this example, since priority is given to access from the A port 12, the conflict signal CONFLA does not serve as high level (contention), and, as for CPU2, access of a passage is always usually performed. Moreover, for this reason, the multiplexers 124-126 by the side of the A port 12 output and input by choosing the access information always stored in the 1st step of each shift registers 121-123.

[0036] The configuration of the control section of the above-mentioned 2 port RAM 1 is explained based on drawing 2 and Table 1.

[0037]

[Table 1]

状 態	前 回	現 行	レジスタ	アクセス	シフト	次々回
通常サイクル a	非競合	非競合	1 段目	実 行	—	—
コンフリクト発生 サイクル b	非競合	競 合	1 段目	中 止	実 行	停 止
コンフリクト継続 サイクル c	競 合	競 合	2 段目	中 止	—	停 止
コンフリクト解除 サイクル d	競 合	非競合	2 段目	実 行	—	—

[0038] The control section of this 2 port RAM 1 performs control based on transition of four internal states which usually consist of Cycle a, the conflict generating cycles b, conflict continuation cycles c, and conflict discharge cycles d.

[0039] (1) Usually, the cycle a (usually tense means)

Usually, in Cycle a, the multiplexers 134-136 of B port 13 read the access information stored in the 1st step of shift registers 131-133. Moreover, based on the 1st step of access information of these shift registers 131-133, access to the memory cell array 11 is performed. When the conflict signal CONFLB is a low level (un-competing) in an initial state or the last cycle, it restricts to a case that this transition usually becomes possible at Cycle a from the same conflict discharge cycle d (d->a) usually explained to Cycle a (a->a) or the back. Moreover, only when the conflict signal CONFLB is a low level (un-competing) in the present cycle, it actually changes. In case [ this ] it usually changes in the following condition from Cycle a, shift registers 131-133 perform a shift action, and new access information is stored in the 1st step. In addition, although the access information which suited the 1st step is shifted to the 2nd step in this case, already and it is taken [meaningless] out substantially here. [this] [access]

[0040] (2) Conflict generating cycle b (contention generating tense means)

In the conflict generating cycle b, the multiplexers 134-136 of B port 13 read the access information stored in the 1st step of shift registers 131-133. Moreover, access to the memory cell array 11 from a B port 13 side is stopped. When the conflict signal CONFLB is a low level (un-competing) in the last cycle, it restricts to a case that transition becomes possible at this conflict generating cycle b from the conflict discharge cycle d (d->b) usually explained to Cycle a (a->b) or the back. Moreover, only when the conflict signal CONFLB is high level (contention) in the present cycle, it actually changes. Thus, if the conflict signal CONFLB is set to high level (contention), CPU3 will detect this in the following cycle, and will stop sending out of address information in the cycle of a time one after another. In case it changes in the following condition from this conflict generating cycle b, while shift registers 131-133 perform a shift action and move the 1st step of access information to the 2nd step, the vacant new access information is stored in the 1st step. In addition, it is only this case to move the access information which has not been accessed yet to the 2nd step from the 1st step, and in other shift actions, only since the invalid access information after accessing became finishing and being taken out substantially does not pass to move but stores new access information in the 1st step, a shift action is performed.

[0041] (3) Conflict continuation cycle c (at the time of continuation of contention control

means)

In the conflict continuation cycle c, the multiplexers 134-136 of B port 13 read the access information stored in the 2nd step of shift registers 131-133. Moreover, access to the memory cell array 11 from a B port 13 side is stopped. When the conflict signal CONFLB is high level (contention) in the last cycle, it restricts to a case that transition becomes possible at this conflict continuation cycle c from the conflict generating cycle b (b->c) or the same conflict continuation cycle c (c->c). Moreover, only when the conflict signal CONFLB is high level (contention) in the present cycle, it actually changes. Also in this case, since the conflict signal CONFLB serves as high level (contention), CPU3 detects this in the following cycle, and stops sending out of address information in the cycle of a time one after another. Since CPU3 stops sending out of access information by access termination before last (if it sees from the present condition last time) in case it changes in the following condition from this conflict continuation cycle c, shift registers 131-133 do not perform a shift action.

[0042] (4) Conflict discharge cycle d (contention resolution tense means)

In the conflict discharge cycle d, the multiplexers 134-136 of B port 13 read the access information stored in the 2nd step of shift registers 131-133. Moreover, based on the 2nd step of access information of these shift registers 131-133, access to the memory cell array 11 is performed. When the conflict signal CONFLB is high level (contention) in the last cycle, it restricts to a case that transition becomes possible at this conflict discharge cycle d from the conflict generating cycle b (b->d) or the conflict continuation cycle c (c->d). Moreover, only when the conflict signal CONFLB is a low level (un-competing) in the present cycle, it actually changes. Since CPU3 stops sending out of access information by access termination before last (if it sees from the present condition last time) also in case it changes in the following condition from this conflict discharge cycle d, shift registers 131-133 do not perform a shift action.

[0043] In the 2 port RAM 1 of the above-mentioned configuration, actuation when there is write-in access to the address with which the same N as the A port 12 and B port 13, N+1, N+2, and -- continued is explained based on drawing 3 .

[0044] First, in T1 cycle, since the chip enable signal CEB bar from CPU3 serves as a low level (selection), shift registers 131-133 perform a shift action, and store N of

Address ADRB in the 1st step. Here, since a multiplexer 134 will read N of the 1st step of this address ADRB supposing contention has not occurred in the last cycle, in accordance with N of Address ADRA, the conflict generating circuit 15 makes the conflict signal CONFLB high level (contention). Therefore, since this control state of T1 cycle serves as the conflict generating cycle b, access from a B port 13 side is stopped. [0045] Next, since a chip enable signal CEB bar serves as a low level (selection), T two cycle also stores N+1 of the new address ADRB in the 1st step, while shift registers 131-133 perform a shift action and move N of the 1st step of address ADRB to the 2nd step. Moreover, in the last T1 cycle, since contention occurred, a multiplexer 134 reads N of the 2nd step of shifted address ADRB. However, since Address ADRA changes to N+1, the conflict signal CONFLB serves as a low level (un-competing). Therefore, since the control state of this T two cycle serves as the conflict discharge cycle d, from B port 13, access is performed based on DN of the data DQB N of Address ADRB, and for the 2nd step of writing etc. At this time, it writes in the 1st step of a shift register 133, and DN+1 of the data DQB of business is stored. In addition, CPU3 detects the high level (contention) of the conflict signal CONFLB in this T two cycle, and makes an internal conflict flag high-level.

[0046] In T3 cycle, since sending out of access information is stopped based on the conflict flag with which CPU3 became high-level at T two cycle and a chip enable signal CEB bar is made into high level (un-choosing), shift registers 131-133 do not perform a shift action. However, in the last T two cycle, since contention did not occur, a multiplexer 134 reads N+1 of the address ADRB stored in the 1st step. And since Address ADRA changes to N+2, the conflict signal CONFLB serves as a low level (un-competing). Therefore, since the control state of this T3 cycle usually serves as Cycle a, from B port 13, access is performed based on the DN+1 grade of the data DQB N+1 of Address ADRB, and for the 1st step of writing.

[0047] In T four cycle, since a chip enable signal CEB bar returns to a low level (selection), shift registers 131-133 perform a shift action, and store N+2 of Address ADRB in the 1st step. Moreover, in the last T3 cycle, since contention did not occur, a multiplexer 134 reads N+2 of the 1st step of this address ADRB. And since Address ADRA changes to N+3, the conflict signal CONFLB serves as a low level (un-



competing). Therefore, since the control state of this T four cycle also usually serves as Cycle a, from B port 13, access is performed based on the DN+2 grade of the data DQB N+2 of Address ADRB, and for the 1st step of writing, and access is similarly performed by coincidence from the A port 12 and B port 13 in subsequent cycles.

[0048] Thus, in the 2 port RAM 1 of this example, since not only CPU2 by the side of the high A port 12 of priority but CPU3 by the side of low B port 13 of priority can perform inspection and access of the conflict signal CONFLB to coincidence in each cycle, a data transfer rate can be raised. Moreover, also when contention occurs, access can be continuously continued only by CPU3 stopping sending out of access information in T3 cycle after a two cycle, and delaying it from generating of this contention by 1 cycle, without performing resending appearance of access information.

[0049] In the above-mentioned 2 port RAM 1, there is write-in access to the address with which N, N+1, N+2, and -- followed B port 13, and actuation when there is write-in access by which the same address is repeated by a unit of 2 times is explained to the A port 12 only at N, N, N+1, N+1, N+2, N+3, and the beginning like -- based on drawing 4 .

[0050] First, since both the addresses ADRA and ADRB serve as N as well as T1 cycle of above-mentioned drawing 3 , contention occurs and a control state serves as the conflict generating cycle b, access from a B port 13 side is stopped by T1 cycle. Next, both the addresses ADRA and ADRB serve as N again, contention also generates T two cycle, and since a control state serves as the conflict continuation cycle c, access from a B port 13 side is stopped.

[0051] And in T3 cycle and T four cycle following this, since CPU3 stops sending out of access information by two contention a front and a chip enable signal CEB bar is made into high level (un-choosing), the access information sent by T1 cycle and T two cycle in the meantime continues being held at two steps of shift registers 131-133. Moreover, in this T3 cycle, since, as for the address ADRA by the side of the A port 12, a multiplexer 134 is set to N+1 to reading N of the address ADRB of a shift register 131 from the 2nd step, contention is solved, a control state changes in the conflict discharge cycle d, and access by N of this address ADRB is performed. However, in T four cycle, N+1 of the address ADRB which a multiplexer 134 reads from the 1st step competes with N+1 of the address ADRA by the side of the A port 12, and a control state returns to the conflict

generating cycle b again.

[0052] However, in T5 cycle, since, as for the address ADRA by the side of the A port 12, a multiplexer 134 is set to N+2 to reading N+1 of the address ADRB of a shift register 131 from the 2nd step, contention is solved, a control state changes in the conflict discharge cycle d, and access by N+1 of this address ADRB is performed. And access is similarly performed [ in / a control state usually changes in Cycle a, without contention occurring also here, since the address ADRA by the side of the A port 12 is set to N+3 to a multiplexer 134 reading N+2 of the 1st step of a shift register 131 to the address ADRB in T6 cycle, and / subsequent cycles ] from the A port 12 and B port 13 to coincidence.

[0053] Consequently, also when the case where contention occurs continuously, and a control state were in the conflict discharge cycle d on the way of a conflict resolution and contention occurred again, it has checked that CPU3 only stopped sending out of access information in T3 cycle after the two cycle at the time of contention generating, T four cycle, and T6 cycle, and the 2 port RAM 1 of this example could continue access normally.

[0054] Here, the data transfer time of the 2 port RAM 1 of this example, the 1st conventional example, and the 2nd conventional example is compared. The cycle time of the 2 port RAM 1 is set to T for the setups for this comparison.

[0055] - Make the count of data transfer into 1000 times.

[0056] - Make the count of generating of contention into 50 times.

[0057] - Set the average overhead per 1 cycle for synchronous doubling in the 2 port RAM 1 of the 2nd conventional example to alpha.

[0058] The following result was obtained when calculated by carrying out.

[0059] - this example:  $(1000+50) T=1050T$  and 1st conventional example:  $(1000-50) --$  xtwo --  $T+50 \times 4T=2100T$  and 2nd conventional example: -- it turned out that  $1000 \times (2T+\alpha) = 2000T+1000\alpha$ , consequently this example can shorten a data transfer time less than [ 1/2 thru/or it ] compared with the 1st conventional example or the 2nd conventional example.

[0060] In addition, although contention of access was judged [ whether the address is in agreement and ] with the chisel in this example, according to the structure of the memory cell array 11, it can judge suitably not only by this but by this inspection of the address, a

write enable signal, etc. Moreover, in this example, although access of CPUs 2 and 3 shall synchronize, also when access from CPU2 competes during access of CPU3 when these do not synchronize, and eliminated, it is generated. However, also in this case, while performing the same processing as the above also about the A port 12 side using shift registers 121-123 and multiplexers 124-126, based on the conflict signal CONFLA, the co-operation based on this invention is realizable [ with the processing \*\*\*\*\* as CPU3 with same CPU2 ].

[0061]

[Effect of the Invention] Since according to the multiport semiconductor memory of this invention access information is re-sent out in order that the processor which accesses a memory cell may inspect a busy signal and spending a cycle vainly is lost so that clearly from the above explanation, data transmission efficiency can be raised. Moreover, the access control by the side of a processor can be made to simplify by making resending appearance of this access information unnecessary.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram in which showing one example of this invention and showing the configuration of the 2 port RAM.

[Drawing 2] It is the state transition diagram in which showing one example of this invention and showing the control action of the 2 port RAM.

[Drawing 3] It is the timing diagram which shows one example of this invention and shows actuation of the 2 port RAM when contention occurs only once.

[Drawing 4] It is the timing diagram which shows one example of this invention and shows actuation of the 2 port RAM when contention occurs frequently.

[Drawing 5] It is the block diagram showing the configuration at the time of using the 2 port RAM as a shared memory of two CPU-to-CPU.

[Drawing 6] It is the block diagram in which showing the 1st conventional example and showing the configuration of the 2 port RAM.

[Drawing 7] It is the timing diagram which shows the 1st conventional example and shows actuation of the 2 port RAM.

[Drawing 8] It is the block diagram in which showing the 2nd conventional example and showing the configuration of the 2 port RAM.

[Drawing 9] It is the timing diagram which shows the 2nd conventional example and shows actuation of the 2 port RAM.

[Description of Notations]

1 2 Port RAM

11 Memory Cell Array

12 A Port

13 B Port

15 Conflict Generating Circuit

121-123 Shift register

131-133 Shift register

124-126 Multiplexer

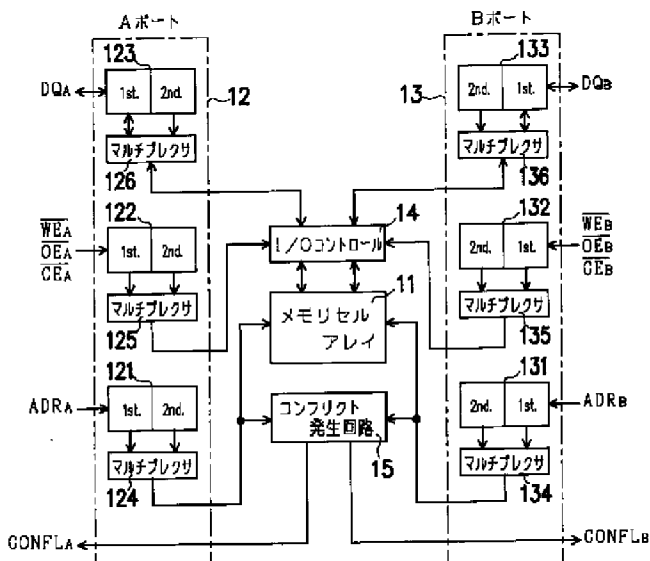
134-136 Multiplexer

---

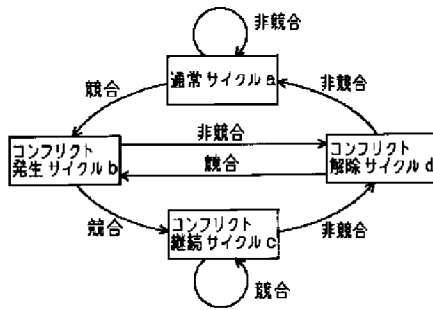
## DRAWINGS

---

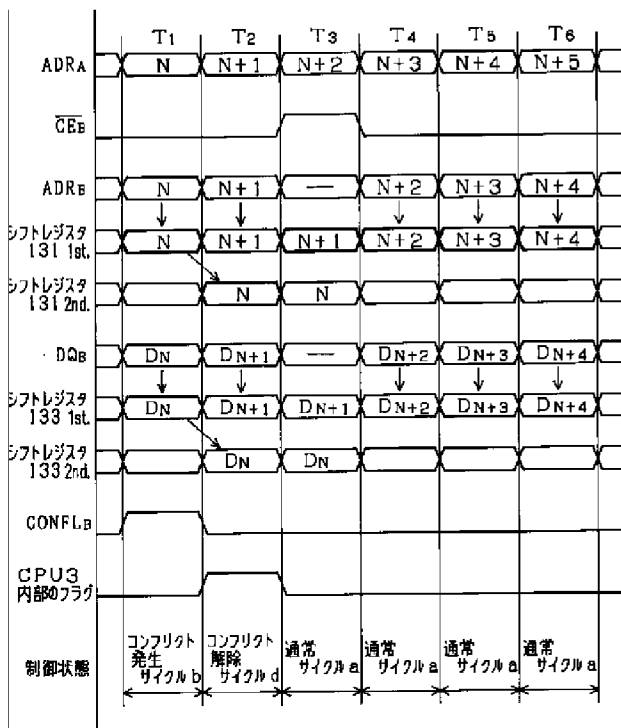
[Drawing 1]



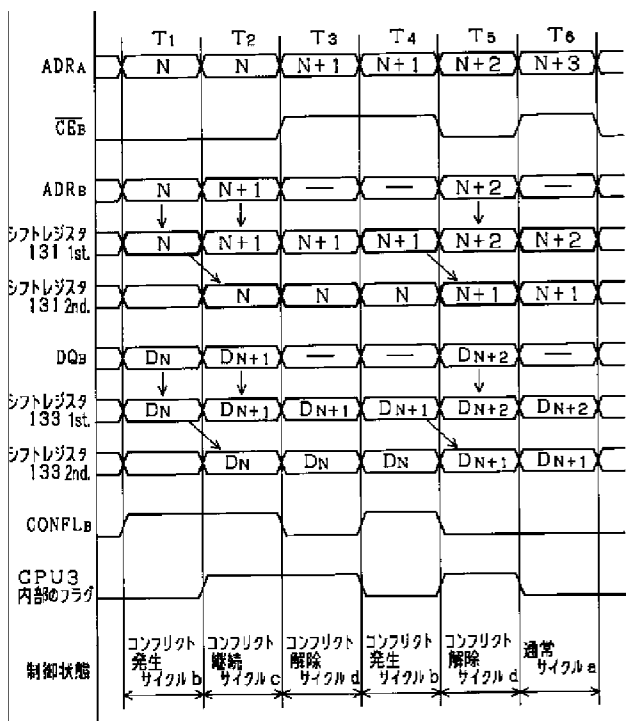
[Drawing 2]



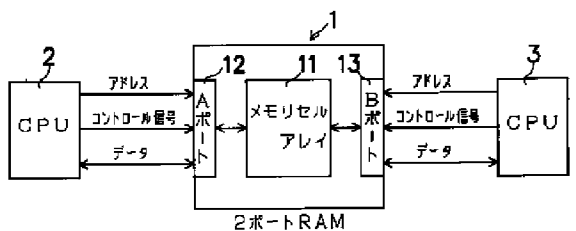
[Drawing 3]



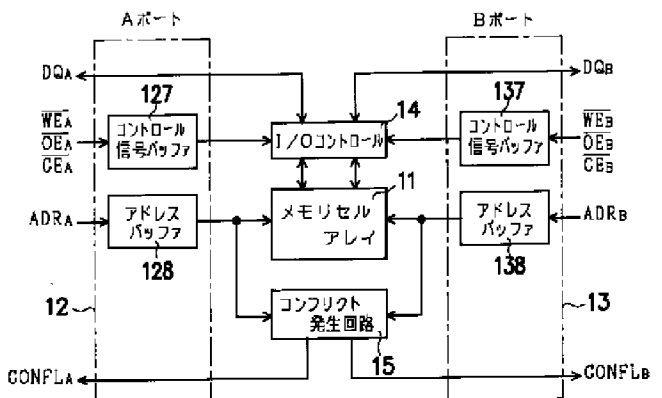
[Drawing 4]



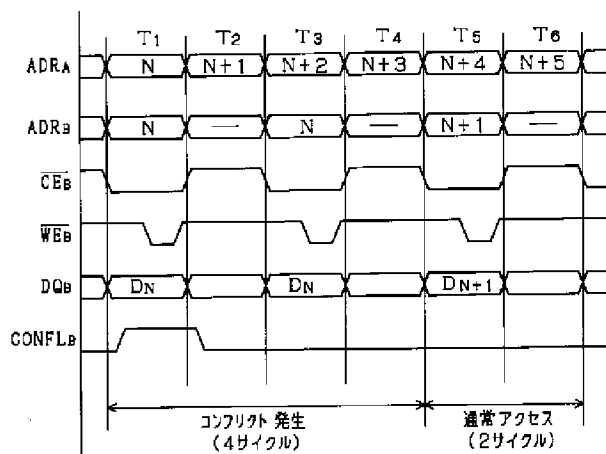
[Drawing 5]



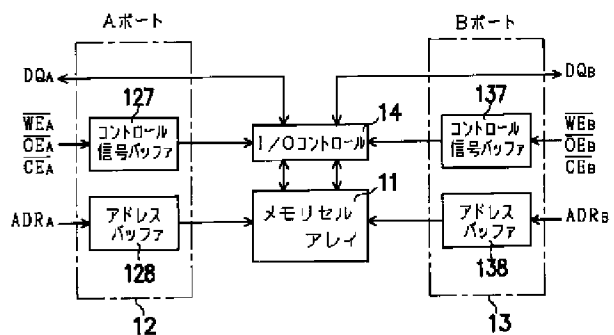
[Drawing 6]



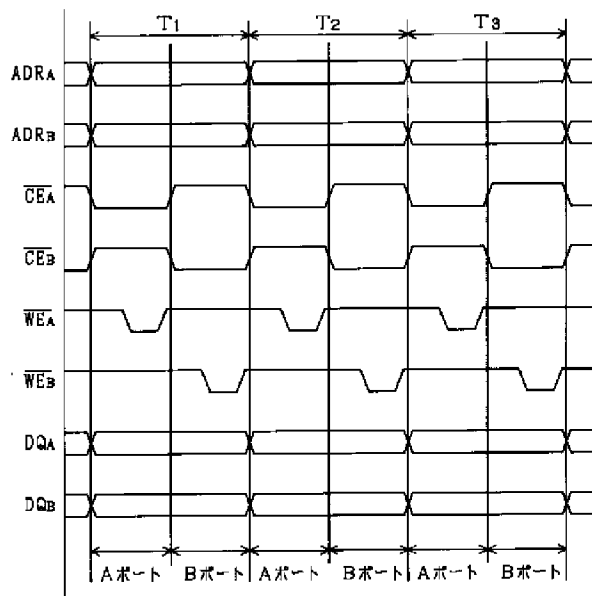
[Drawing 7]



[Drawing 8]



[Drawing 9]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175713

(43) 公開日 平成7年(1995)7月14日

(51) Int. Cl.<sup>6</sup>

G 0 6 F 12/00

G 1 1 C 11/401

識別記号

5 7 0 C 9385-5B

片内整理番号

P I

技術表示箇所

G 1 1 C 11/34

3 6 2 G

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号

特願平5-317126

(22) 出願日

平成5年(1993)12月16日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 浦谷 宗宏

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

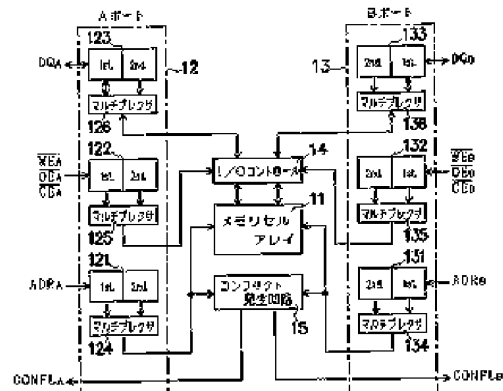
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 マルチポート半導体記憶装置

(57) 【要約】

【構成】 シフトレジスタ131～133とマルチプレクサ134～136とによってアクセス情報を2サイクル分保持する待ち行列を構成させ、競合発生時にアクセスを中止すると共に、コンフリクト信号CONFLBをハイレベルとする。

【効果】 メモリセルにアクセスするCPU3がコンフリクト信号CONFLBの検査を行うためやアクセス情報を再送出するために無駄にサイクルを費やすことがなくなるので、2ポートRAM1のデータ転送効率を向上させることができる。また、このアクセス情報の再送出を不要にすることにより、CPU3側のアクセス制御を簡易化させることができる。





## 【特許請求の範囲】

【請求項 1】 メモリセルにアクセスするための複数系統の入出力ポートを有し、各入出力ポートに送られて来たアドレス等のアクセス情報が競合によりアクセスを中止すべきものであるかどうかを判定する競合検出手段を備えたマルチポート半導体記憶装置において、

アクセス情報をそれぞれの入出力ポートに設けられた待ち行列で受け付ける待ち行列手段と、

各入出力ポートについて、当該待ち行列の先頭のアクセス情報が競合検出手段によってアクセス中止を判定されなかった場合に、このアクセス情報を待ち行列から取り出してアクセスを実行させる非競合時制御手段と、

各入出力ポートについて、当該待ち行列の先頭のアクセス情報が競合検出手段によってアクセス中止を判定された場合に、このアクセス情報によるアクセスを中止させると共に、当該入出力ポートからビジー信号を出力させる競合時制御手段とを備えたマルチポート半導体記憶装置。

【請求項 2】 メモリセルにアクセスするための複数系統の入出力ポートを有し、各入出力ポートに送られて来たアドレス等のアクセス情報が競合によりアクセスを中止すべきものであるかどうかを判定する競合検出手段を備えたマルチポート半導体記憶装置において、

アクセス情報を 1 段目のレジスタに格納する 2 段目のシフトレジスタがそれぞれ各入出力ポートに設けられると共に、

各入出力ポートについて、前回のサイクルがアクセス中止であった場合に、当該シフトレジスタの 2 段目をアクセスレジスタとし、アクセス中止ではなかった場合には、このシフトレジスタの 1 段目をアクセスレジスタとするレジスタ切替手段と、

各入出力ポートについて、当該シフトレジスタの 1 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定されなかった場合に、このアクセス情報によるアクセスを実行させる通常時制御手段と、

各入出力ポートについて、当該シフトレジスタの 1 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定された場合に、このアクセス情報によるアクセスを中止させると共に、当該入出力ポートからビジー信号を出力させ、かつ、シフトレジスタをシフト動作させてアクセス情報を 1 段目から 2 段目へシフトさせる競合発生時制御手段と、

各入出力ポートについて、当該シフトレジスタの 2 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定された場合に、このアクセス情報によるアクセスを中止させると共に、当該入出力ポートからビジー信号を出力させる競合継続時制御手段と、

各入出力ポートについて、当該シフトレジスタの 2 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定されなかった場合に、このアクセス情報によるアクセスを実行させる競合解除時制御手段とを備えたマルチポート半導体記憶装置。

【請求項 3】 メモリセルにアクセスするための入出力ポートが 2 系統である請求項 1 又は請求項 2 に記載のマルチポート半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、メモリセルにアクセスするための入出力ポートを独立に複数系統有し、CPU [Central Processing Unit] 間でデータの受け渡しを行うための共有メモリとして利用される 2 ポート RAM [Random Access Memory] (デュアルポート RAM) 等のマルチポート半導体記憶装置に関する。

## 【0002】

【従来の技術】 2 つの CPU 間でデータの受け渡しのために共有メモリを使用する場合には、それぞれの CPU からのアクセスが競合した際に相互排除を行わなければならない。2 ポート RAM は、このような共有メモリとして使用される半導体記憶装置である。

【0003】 図 5 に 2 ポート RAM 1 を 2 つの CPU 2、3 間の共有メモリとして使用した場合の構成を示す。2 ポート RAM 1 は、多数のメモリセルからなるメモリセルアレイ 11 と 2 系統の入出力ポートである A ポート 12 及び B ポート 13 とを備えている。A ポート 12 と B ポート 13 には、各 CPU 2、3 のアドレスバス、コントロールバス及びデータバスが個別に接続され、それぞれアドレスとコントロール信号が送り込まれると共に、データの出入力ができるようになっている。また、これらのポート 12、13 からは、メモリセルアレイ 11 に対してそれぞれ独立にアクセスできるようになっている。即ち、ポート 12、13 に送られて来たアドレスが競合しない場合には、それぞれ独立にそのアドレスに基づいて同時にメモリセルアレイ 11 にアクセスを行うことができる。また、アドレスが競合しても双方が共に読み出し動作の場合には、同時にアクセスを行うことができる。しかし、少なくともどちらかが書き込みアクセスであった場合には、相互排除の対象となるので、いずれか一方のポート 12、13 からのアクセスを中止させる必要がある。そして、この相互排除は、一般的にはビジーウェイト [busy wait] (繁忙待機) 方式によって実現される。

【0004】 図 6 に従来の典型的な 2 ポート RAM 1 の構成を示す (以下「第 1 従来例」という)。

【0005】 ポート 12、13 に送られて来るアドレス ADDRESS、それぞれアドレスバッファ 128 又はアドレスバッファ 138 を介してメモリセルアレイ

11に入力されるようになっている。メモリセルアレイ11では、これらのアドレスをデコードしてそれぞれメモリセルを選択する。コントロール信号は、書き込み又は読み出しの制御やデータ出力の制御及びチップ選択を行うためのライトイネーブル信号 $\overline{WE}$ 、 $\overline{OE}$ 、 $\overline{CE}$ 、アウトプットイネーブル信号 $\overline{OE}$ 、 $\overline{CE}$ 及びチップイネーブル信号 $\overline{OE}$ 、 $\overline{CE}$ からなり、それぞれコントロール信号バッファ127又はコントロール信号バッファ137を介してI/Oコントロール回路14に入力されるようになっている。そして、データDQA、DQBは、このI/Oコントロール回路14を介してメモリセルアレイ11との間の入出力が行われるようになっている。

【0006】上記アドレスバッファ128とアドレスバッファ138を介して入力されるアドレスADRA、ADRBは、それぞれコンフリクト発生回路15にも送られるようになっている。コンフリクト発生回路15は、アドレスADRAとアドレスADRBが競合するかどうかを検査し、これらが競合する場合にハイレベルとなるコンフリクト信号CONFLA、CONFLB（ビジー信号）をポート12、13からそれぞれ出力させる回路である。なお、アドレスADRA、ADRBの競合は、これらが全く一致し対応するメモリセルが同じとなる場合だけでなく、対応する別個のメモリセルがメモリ構成上同時にアクセスできない構造となっている場合も考えられるが、以降の説明では簡単のためアドレスADRA、ADRBが一致した場合のみ競合するものとする。また、同じく以降の説明では簡単のためアクセスは書き込みアクセスの場合のみを示し、アドレスADRA、ADRBが競合すれば常にこのアクセスを中止させる必要があるものとする。

【0007】上記第1従来例の2ポートRAM1において、同時にN、N+1、N+2、…の連続するアドレスへの書き込みアクセスがあった場合の動作を図7に基づいて説明する。ただし、ここでは両ポート12、13のアクセスのサイクルが完全に同期しているものとし、競合時にはAポート12からのアクセスが優先されるものとする。従って、Aポート12側からのアクセスは競合による中止の必要がなくなるので、このAポート12から出力されるコンフリクト信号CONFLAは無視される。また、このAポート12に送られて来るチップイネーブル信号 $\overline{CE}$ （は、図7に示すサイクルでは常にローレベル（選択）となる。

【0008】まず、T1サイクルでは、アドレスADRA、ADRBが共にNとなるので競合が発生し、コンフリクト発生回路15がコンフリクト信号CONFLBをハイレベル（競合）にする。また、これにより、Aポート12側のアクセスは実行されるが、Bポート13側のアクセスは中止される。なお、この際、Bポート13には、書き込み用のデータDQBとしてDNが入力されると

共に、ライトイネーブル信号 $\overline{WE}$ がローレベル（書き込み）になるが、これらは無視される。

【0009】次に、T2サイクルでは、Aポート12のアドレスADRAがN+1に変わってアクセスが実行される。しかし、Bポート13側では、ここに接続される上記図5に示したCPU3がチップイネーブル信号 $\overline{CE}$ をハイレベル（非選択）にしてコンフリクト信号CONFLBの検査を行い、アクセスに失敗したことを検出する。

【0010】そして、T3サイクルでは、Bポート13側のCPU3がT2サイクルにおいてアクセスに失敗したことを検出しているので、T1サイクルと同じアクセスを再度繰り返す。すると、今回のAポート12のアドレスADRAはN+2であり、コンフリクト発生回路15はコンフリクト信号CONFLBをローレベル（非競合）にするので、ポート12、13からのアクセスが同時に実行される。

【0011】また、T4サイクルでは、Aポート12のアドレスADRAがN+3に変わってアクセスが実行される。しかし、Bポート13側では、T2サイクルと同様にCPU3がコンフリクト信号CONFLBの検査を行い、このCPU3がアクセスに成功したことを検出してから、T5サイクルで次のN+1のアドレスADRBを送出する。そして、以降同様にして、再度競合が発生しない限り、Aポート12からはサイクルごとに、また、Bポート13からは1サイクルおきに順次アクセスが実行される。

【0012】このように第1従来例では、優先順位の低いBポート13側のCPU3が1サイクルおきにコンフリクト信号CONFLBの検査を行いアクセスが成功したかどうかを調べながらアクセスを進めることになる。また、競合が発生しアクセスに失敗したことを検出した場合には、同じアドレスADRBを再度送出する。なお、双方のアクセスのサイクルが同期していない場合には、Bポート13側のアクセス中にAポート12側から行われたアクセスが競合することもある。そして、このときにはAポート12側のアクセスを中止しなければならず、コンフリクト信号CONFLAに基づいてCPU2も同様の制御を行う必要が生じる。なお、このような場合のために、コンフリクト発生回路15は、アクセスを中止させる側のコンフリクト信号CONFLA、CONFLBのみをハイレベル（競合）とする。

【0013】図8及び図9に従来の他の2ポートRAM1の例を示す（以下「第2従来例」という）。

【0014】この2ポートRAM1は、1サイクルを2つに時分割してそれぞれAポート12とBポート13の専用のアクセス時間帯を設けたものである。即ち、図9に示すように、各サイクルT1、T2、T3…の前半の時間帯にAポート12のチップイネーブル信号 $\overline{CE}$ をローレベル（選択）にしてアドレスADRAによるア

クセスを行い、後半の時間帯に B ポート 13 のチップイネーブル信号  $\overline{CE}$  バーをローレベル（選択）にしてアドレス ADRB によるアクセスを行う。従って、双方のポート 12、13 が同一サイクルに同じアドレスへの書き込みアクセスを行ったとしても、これらが競合することはないので、図 8 に示すように、第 1 従来例で示したコンフリクト発生回路 15 が不要となり、コンフリクト信号 CONFL によるビジーウエイト方式の制御も必要なくなる。

【0015】なお、上記専用のアクセス時間帯の調整は、2 ポート RAM 1 上又はこの 2 ポート RAM 1 にアクセスを行う 2 つの CPU 2、3 を含むシステム上で制御する。

【0016】

【発明が解決しようとする課題】ところが、上記第 1 従来例の場合には、B ポート 13 側の優先順位の低い CPU 3 が、1 サイクルおきにコンフリクト信号 CONFL を検査しながらアクセスを進めなければならないため、1 回のアクセスを行うのに、本来 1 サイクルで足りるにもかかわらず、競合が発生しない場合でも 2 サイクルを要し、競合が発生した場合には 4 サイクルを要することになり、データ転送速度が低下するという問題があった。しかも、競合が発生しアクセスに失敗した場合には、CPU 3 が同じアドレス ADRB やデータ DQB 等を再度送出する必要があるので、この CPU 3 における制御が複雑になるという問題もあった。

【0017】また、上記第 2 従来例の場合には、本来 2 回のアクセスが可能となる期間を 1 サイクルとするため、データ転送時間が常に通常の 2 倍必要となり、しかも、双方の CPU 2、3 がそれぞれの専用のアクセス時間帯にアクセスを行うようにシステム上でこれらを同期させるか、又は、2 ポート RAM 1 内で信号を遅延させて調整する操作が必要となり、システムの自由度が損なわれたり、アクセス完了時間にバラツキが発生して CPU での処理が複雑になるという問題があった。

【0018】本発明は、上記従来の問題を解決するもので、待ち行列を用いることによりビジーウエイト方式による競合の処理を円滑化させるマルチポート半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明のマルチポート半導体記憶装置は、メモリセルにアクセスするための複数系統の入出力ポートを有し、各入出力ポートに送られて来たアドレス等のアクセス情報が競合によりアクセスを中止すべきものであるかどうかを判定する競合検出手段を備えたマルチポート半導体記憶装置において、アクセス情報をそれぞれの入出力ポートに設けられた待ち行列で受け付ける待ち行列手段と、各入出力ポートについて、当該待ち行列の先頭のアクセス情報が競合検出手段によってアクセス中止を判定されなかった場合に、この

アクセス情報を待ち行列から取り出してアクセスを実行させる非競合時制御手段と、各入出力ポートについて、当該待ち行列の先頭のアクセス情報が競合検出手段によってアクセス中止を判定された場合に、このアクセス情報によるアクセスを中止させると共に、当該入出力ポートからビジー信号を出力させる競合時制御手段とを備えたものであり、そのことにより上記目的が達成される。

【0020】また、本発明のマルチポート半導体記憶装置は、メモリセルにアクセスするための複数系統の入出力ポートを有し、各入出力ポートに送られて来たアドレス等のアクセス情報が競合によりアクセスを中止すべきものであるかどうかを判定する競合検出手段を備えたマルチポート半導体記憶装置において、アクセス情報を 1 段目のレジスタに格納する 2 段目のシフトレジスタがそれぞれ各入出力ポートに設けられると共に、各入出力ポートについて、前回のサイクルがアクセス中止であった場合に、当該シフトレジスタの 2 段目をアクセスレジスタとし、アクセス中止ではなかった場合には、このシフトレジスタの 1 段目をアクセスレジスタとするレジスタ切替手段と、各入出力ポートについて、当該シフトレジスタの 1 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定されなかった場合に、このアクセス情報によるアクセスを実行させる通常時制御手段と、各入出力ポートについて、当該シフトレジスタの 1 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定された場合に、このアクセス情報によるアクセスを中止させると共に、当該入出力ポートからビジー信号を出力させ、かつ、シフトレジスタをシフト動作させてアクセス情報を 1 段目から 2 段目へシフトさせる競合発生時制御手段と、各入出力ポートについて、当該シフトレジスタの 2 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定された場合に、このアクセス情報によるアクセスを中止させると共に、当該入出力ポートからビジー信号を出力させる競合継続時制御手段と、各入出力ポートについて、当該シフトレジスタの 2 段目がアクセスレジスタであって、このアクセスレジスタのアクセス情報が競合検出手段によってアクセス中止を判定されなかった場合に、このアクセス情報によるアクセスを実行させる競合解除時制御手段とを備えたものであり、そのことにより上記目的が達成される。

【0021】さらに、本発明のマルチポート半導体記憶装置は、上記構成に加えて、メモリセルにアクセスするための入出力ポートが 2 系統であるものであり、そのことにより上記目的が達成される。

【0022】

【作用】上記構成により、競合検出手段は、アクセス情報におけるアドレスやコントロール信号等を検査するこ

とによりメモリセル等の構成に応じて相互排除の対象となるかどうかに基づき適宜競合を検出する。そして、2つ以上のアクセス情報が互いに競合することが検出された場合には、該当する各入出力ポートごとに、アクセスの後先や優先順位等に基づいてその入出力ポートが競合によりアクセスを中止すべきかどうかを判定する。アクセス情報としては、アドレス及びコントロール信号並びに書き込みアクセスの場合の書き込みデータ等がある。

【0023】待ち行列手段は、配列やシフトレジスタ等によって待ち行列（キュー[queue]）を構成し、この待ち行列のFIFO[First-In First-Out]方式による入出力を制御するものである。即ち、この待ち行列手段は、アクセス情報を待ち行列に受け付け順に並べ、既に取り出したアクセス情報を除いて最も古くに受け付けられたアクセス情報が常に先頭に位置して、読み出し（参照）や取り出しの対象となるようにする。

【0024】各入出力ポートにおける待ち行列の先頭のアクセス情報が競合検出手段によってアクセス中止を判定されなかった場合には、非競合時制御手段がメモリセルへのアクセスを実行させる。また、このアクセス情報が競合検出手段によってアクセス中止を判定された場合には、競合時制御手段がアクセスを中止させると共に、当該入出力ポートからビジー信号を出力させる。ビジー信号が出力されると、当該入出力ポートからアクセスを行う処理装置は、次のサイクルでこれを検出し、次のサイクルでのアクセス情報の送出を停止する（例えばチップイネーブル信号を非アクティブとする）ように制御を定めておく。待ち行列手段では、アクセス情報の送出が停止されると、アクセス情報の受け付けを行わない。従って、競合時制御手段によってアクセスが中止されると、2サイクル後にアクセス情報の待ち行列への追加が停止され、アクセス中止が継続した場合もこれと同じ期間だけアクセス情報の追加が停止され続けると共に、最後にアクセス情報の追加が停止されたサイクルでアクセスが再開されるので、待ち行列に保持されるアクセス情報は高々2サイクル分となる。競合の検査のために読み出すアクセス情報やアクセスを実行する際に取り出すアドレス情報は、この待ち行列の先頭にあるものであり、これがいずれのサイクルに受け付けられたものであるかは、前回以前のサイクルでアクセスが中止されていたかどうかによって異なる。

【0025】この結果、本発明によれば、競合が発生した場合のアクセス情報の送出停止を次のサイクルまで引き延ばすので、各サイクルごとにアクセス情報の送出とビジー信号の検査とを同時に行うことができ、ビジーウェイト方式においてビジー信号の検査のためだけに無駄にサイクルを費やす必要がなくなる。また、競合発生時にもアクセス情報を再送出しないので、この再送出のためのサイクルの無駄なくすと共に、処理装置側のアクセス制御を簡易化させることができる。

【0026】請求項2の発明は、レジスタ切替手段と競合発生時制御手段におけるシフト動作とによってシフトレジスタを操作することにより請求項1の待ち行列手段を実現したものである。そして、レジスタ切替手段は、シフトレジスタの1段目と2段目を切り替えることによりアクセスレジスタによって常に待ち行列の先頭を指示させるようになっているので、通常時制御手段と競合解除時制御手段は、共に請求項1の非競合時制御手段に対応する。また、競合発生時制御手段におけるシフトレジスタのシフト動作は、前回のアクセス情報を保持したまま次のアクセス情報を受け付けるために1段目を空ける動作にすぎないので、この競合発生時制御手段と競合継続時制御手段は、共に請求項1の競合時制御手段に対応する。

【0027】なお、競合発生時制御手段におけるシフトレジスタのシフト動作は、通常は次のサイクルの最初に行うことにより、次のアクセス情報の1段目への格納も同時に行う。また、このシフトレジスタは、競合発生時制御手段における以外の場合にも、一般にアクセス情報を1段目に格納するだけのためにシフト動作を行うが、この場合に1段目から2段目にシフトされるアクセス情報は無意味なものなので、他に1段目のレジスタに強制的にアクセス情報を格納させる手段があるなら必ずしもシフト動作である必要はない。

【0028】請求項3の発明は、2ポートRAMのように入出力ポートが2系統となるマルチポート半導体記憶装置に本発明を適用したものである。

【0029】

【実施例】以下、本発明の実施例について説明する。

【0030】図1乃至図4は本発明の一実施例を示すものであって、図1は2ポートRAMの構成を示すブロック図、図2は2ポートRAMの制御動作を示す状態遷移図、図3は競合が1回だけ発生した場合の2ポートRAMの動作を示すタイムチャート、図4は競合が頻繁に発生した場合の2ポートRAMの動作を示すタイムチャートである。なお、上記従来例と同様の機能を有する構成部材には同じ番号を付記する。

【0031】本実施例は、上記図5に示した2ポートRAM1に本発明を実施した場合について説明する。なお、本実施例では、第1従来例と同様に、CPU2、3からのアクセスが同期され、かつ、CPU2からのアクセスを優先する場合について説明する。

【0032】2ポートRAM1は、図1に示すように、メモリセルアレイ11、Aポート12、Bポート13、I/Oコントロール回路14及びコンフリクト発生回路15によって構成される。これらのうち、メモリセルアレイ11、I/Oコントロール回路14及びコンフリクト発生回路15は、図6に示した従来例と同じものである。また、コンフリクト発生回路15から出力されるコンフリクト信号CONFLA、CONFLBは、それぞれ

Aポート12又はBポート13を介して出力されるようになっている。

【0033】Aポート12は、3つのシフトレジスタ121～123と3つのマルチプレクサ124～126とからなる。シフトレジスタ121～123は、それぞれ複数ビットのレジスタが2段に設けられたシフトレジスタである。そして、このAポート12には、図5に示したCPU2のアドレスバス、コントロールバス及びデータバスが接続され、アクセス情報としてそれぞれアドレスADRAとコントロール信号WEAバー、OEAバー、CEAバーが送り込まれると共に、データDQAの入出力ができるようになっている。即ち、複数ビットのアドレスADRAは、シフトレジスタ121の1段目の各ビットに入力されるようになっている。マルチプレクサ124は、このシフトレジスタ121の両段に格納されたアドレスADRAのいずれかを選択してメモリセルアレイ11とコンフリクト発生回路15に送る回路である。また、3ビットのコントロール信号WEAバー、OEAバー、CEAバーは、シフトレジスタ122の1段目の各ビットに入力されるようになっている。マルチプレクサ125は、このシフトレジスタ122の両段に格納されたコントロール信号WEAバー、OEAバー、CEAバーの組のいずれかを選択してI/Oコントロール回路14に送る回路である。さらに、複数ビットのデータDQAは、シフトレジスタ123の1段目の各ビットに入力されるようになっている。ただし、このシフトレジスタ123の1段目のレジスタについては、双方向に入出力が可能な構成となっていて、ここに格納されたデータDQAをデータバスに出力することもできる。マルチプレクサ126は、このシフトレジスタ123の両段に格納されたデータDQAのいずれかを選択してI/Oコントロール回路14に送る回路である。また、このマルチプレクサ126は、I/Oコントロール回路14から送られて来たデータDQAをシフトレジスタ123の1段目に格納することもできるようになっている。

【0034】Bポート13も、3つのシフトレジスタ131～133と3つのマルチプレクサ134～136とからなり、これらはそれぞれAポート12のシフトレジスタ121～123及びマルチプレクサ124～126と同じ構成である。ただし、シフトレジスタ131に

\*は、図5に示したCPU3のアドレスバスが接続され、アドレスADRBが入力されるようになっている。また、シフトレジスタ132には、CPU3のコントロールバスが接続され、コントロール信号WEBバー、OEBバー、CEBバーが入力されるようになっている。さらに、シフトレジスタ133には、CPU3のデータバスが接続され、データDQBの入出力ができるようになっている。このCPU3には、コンフリクト発生回路15からBポート13を介して出力されるコンフリクト信号CONFLBも送られるようになっている。

【0035】上記マルチプレクサ124～126、134～136は、初期状態及び前回のサイクルにおいてコンフリクト発生回路15が競合を検出していなかった場合には、各シフトレジスタ121～123、131～133の1段目に格納されたアクセス情報を選択して入出力を行い、競合が検出されていた場合には、2段目に格納されたアクセス情報を選択して入出力を行うようになっている。また、各シフトレジスタ121～123、131～133は、当該ポート12、13に送られて来るコントロール信号におけるチップイネーブル信号CEAバー、CEBバーがローレベル（選択）の場合にシフト動作を行い、アクセス情報を1段目に格納（ラッチ）するようになっている。CPU3は、コンフリクト信号CONFLBがハイレベル（競合）になると、これを次のサイクルで検出し、引き続いてアクセスを行う場合にも次々回のサイクルにおけるチップイネーブル信号CEBバーをハイレベル（非選択）として、アクセスを1サイクル分遅延させるように制御が定められている。なお、本実施例では、Aポート12からのアクセスを優先するので、コンフリクト信号CONFLAがハイレベル（競合）となることはなく、CPU2は常に通常のアクセスを行う。また、このためAポート12側のマルチプレクサ124～126は常に各シフトレジスタ121～123の1段目に格納されたアクセス情報を選択して入出力を行う。

【0036】上記2ポートRAM1の制御部の構成を図2及び表1に基づいて説明する。

【0037】

【表1】

状 態	制 御	現 行	レジスタ	ア ク セ ス	シ フ ト	次々回
通常サイクル a	非競合	非競合	1段目	実 行	—	—
コンフリクト発生 サイクル b	非競合	競 合	1段目	中 止	実 行	停 止
コンフリクト継続 サイクル c	競 合	競 合	2段目	中 止	—	停 止
コンフリクト解除 サイクル d	競 合	非競合	2段目	実 行	—	—

【0038】この2ポートRAM1の制御部は、通常サイクルa、コンフリクト発生サイクルb、コンフリクト継続サイクルc及びコンフリクト解除サイクルdからなる4つの内部状態の遷移に基づいて制御を実行する。

【0039】(1) 通常サイクルa (通常時制御手段) 通常サイクルaでは、Bポート13のマルチプレクサ134～136がシフトレジスタ131～133の1段目に格納されたアクセス情報を読み出す。また、このシフトレジスタ131～133の1段目のアクセス情報に基づいてメモリセルアレイ11へのアクセスが実行され、この通常サイクルaに遷移が可能となるのは、初期状態からきたり、前回のサイクルにおいてコンフリクト信号CONFLBがローレベル(非競合)であった場合、即ち同じ通常サイクルa(a→a)若しくは後に説明するコンフリクト解除サイクルd(d→a)からの場合に限る。また、現行のサイクルにおいてコンフリクト信号CONFLBがローレベル(非競合)である場合にのみ実際に遷移して来る。この通常サイクルaから次の状態に遷移する際には、シフトレジスタ131～133がシフト動作を行って1段目に新たなアクセス情報が格納される。なお、この際、1段目にあったアクセス情報は2段目にシフトされるが、これは既にアクセス済みの無意味なものであり、ここで実質的に取り出される。

【0040】(2) コンフリクト発生サイクルb (競合発生時制御手段)

コンフリクト発生サイクルbでは、Bポート13のマルチプレクサ134～136がシフトレジスタ131～133の1段目に格納されたアクセス情報を読み出す。また、Bポート13側からのメモリセルアレイ11へのアクセスは中止される。このコンフリクト発生サイクルbに遷移が可能となるのは、前回のサイクルにおいてコンフリクト信号CONFLBがローレベル(非競合)であった場合、即ち通常サイクルa(a→b)又は後に説明するコンフリクト解除サイクルd(d→b)からの場合に限る。また、現行のサイクルにおいてコンフリクト信号CONFLBがハイレベル(競合)である場合にのみ実際に遷移して来る。このようにコンフリクト信号CONFLBがハイレベル(競合)になると、CPU3は、次のサイクルでこれを出し次々回のサイクルでアドレス情報の送出を停止する。このコンフリクト発生サイクルbから次の状態に遷移する際には、シフトレジスタ131～133がシフト動作を行って1段目のアクセス情報を2段目に移動させると共に、空いた1段目に新たなアクセス情報を格納する。なお、まだアクセスを行っていないアクセス情報を1段目から2段目に移動させるのはこの場合だけであり、他のシフト動作ではアクセス済みとなり実質的に取り出された後の無効なアクセス情報が移動するにすぎず、1段目に新たなアクセス情報を格納するためだけにシフト動作が行われる。

【0041】(3) コンフリクト継続サイクルc (競合

継続時制御手段)

コンフリクト継続サイクルcでは、Bポート13のマルチプレクサ134～136がシフトレジスタ131～133の2段目に格納されたアクセス情報を読み出す。また、Bポート13側からのメモリセルアレイ11へのアクセスは中止される。このコンフリクト継続サイクルcに遷移が可能となるのは、前回のサイクルにおいてコンフリクト信号CONFLBがハイレベル(競合)であった場合、即ちコンフリクト発生サイクルb(b→c)又は同じコンフリクト継続サイクルc(c→c)からの場合に限る。また、現行のサイクルにおいてコンフリクト信号CONFLBがハイレベル(競合)である場合にのみ実際に遷移して来る。この場合にもコンフリクト信号CONFLBがハイレベル(競合)となるので、CPU3は、次のサイクルでこれを出し次々回のサイクルでアドレス情報の送出を停止する。このコンフリクト継続サイクルcから次の状態に遷移する際には、前々回(現行状態から見れば前回)のアクセス中止によりCPU3がアクセス情報の送出を停止するので、シフトレジスタ131～133はシフト動作を行わない。

【0042】(4) コンフリクト解除サイクルd (競合解除時制御手段)

コンフリクト解除サイクルdでは、Bポート13のマルチプレクサ134～136がシフトレジスタ131～133の2段目に格納されたアクセス情報を読み出す。また、このシフトレジスタ131～133の2段目のアクセス情報に基づいてメモリセルアレイ11へのアクセスが実行される。このコンフリクト解除サイクルdに遷移が可能となるのは、前回のサイクルにおいてコンフリクト信号CONFLBがハイレベル(競合)であった場合、即ちコンフリクト発生サイクルb(b→d)又はコンフリクト継続サイクルc(c→d)からの場合に限る。また、現行のサイクルにおいてコンフリクト信号CONFLBがローレベル(非競合)である場合にのみ実際に遷移して来る。このコンフリクト解除サイクルdから次の状態に遷移する際にも、前々回(現行状態から見れば前回)のアクセス中止によりCPU3がアクセス情報の送出を停止するので、シフトレジスタ131～133はシフト動作を行わない。

【0043】上記構成の2ポートRAM1において、Aポート12とBポート13に同じN、N+1、N+2、…の連続したアドレスへの書き込みアクセスがあった場合の動作を図3に基づいて説明する。

【0044】まず、T1サイクルでは、CPU3からのチップイネーブル信号CEBバーがローレベル(選択)となるので、シフトレジスタ131～133がシフト動作を行いアドレスADBのNを1段目に格納する。ここで、前回のサイクルでは競合が発生していなかったとすると、マルチプレクサ134がこの1段目のアドレスADBのNを読み出すので、アドレスADBのNと一

致し、コンフリクト発生回路15がコンフリクト信号CONFLBをハイレベル（競合）にする。従って、このT1サイクルの制御状態はコンフリクト発生サイクルbとなるため、Bポート13側からのアクセスは中止される。

【0045】次に、T2サイクルでも、チップイネーブル信号CEBバーがローレベル（選択）となるので、シフトレジスタ131～133がシフト動作を行い、1段目のアドレスADRBのNを2段目に移動させると共に新たなアドレスADRBのN+1を1段目に格納する。また、前回のT1サイクルでは競合が発生したため、マルチプレクサ134はシフトされた2段目のアドレスADRBのNを読み出す。しかし、アドレスADRAはN+1に変わるので、コンフリクト信号CONFLBはローレベル（非競合）となる。従って、このT2サイクルの制御状態はコンフリクト解除サイクルdとなるため、Bポート13からは、2段目のアドレスADRBのNを書き込み用のデータDQBのDN等に基づいてアクセスが行われる。このときシフトレジスタ133の1段目には書き込み用のデータDQBのDN+1が格納される。なお、CPU3は、このT2サイクルにおいてコンフリクト信号CONFLBのハイレベル（競合）を検出し、内部のコンフリクトフラグをハイレベルとする。

【0046】T3サイクルでは、CPU3がT2サイクルでハイレベルとなったコンフリクトフラグに基づいてアクセス情報の送出を停止しチップイネーブル信号CEBバーをハイレベル（非選択）にするので、シフトレジスタ131～133はシフト動作を行わない。しかし、前回のT2サイクルでは競合が発生しなかったために、マルチプレクサ134は1段目に格納されていたアドレスADRBのN+1を読み出す。そして、アドレスADRAはN+2に変わるので、コンフリクト信号CONFLBはローレベル（非競合）となる。従って、このT3サイクルの制御状態は通常サイクルaとなるため、Bポート13からは、1段目のアドレスADRBのN+1を書き込み用のデータDQBのDN+1等に基づいてアクセスが行われる。

【0047】T4サイクルでは、チップイネーブル信号CEBバーがローレベル（選択）に戻る所以、シフトレジスタ131～133はシフト動作を行い、アドレスADRBのN+2を1段目に格納する。また、前回のT3サイクルでは競合が発生しなかったために、マルチプレクサ134はこの1段目のアドレスADRBのN+2を読み出す。そして、アドレスADRAはN+3に変わるので、コンフリクト信号CONFLBはローレベル（非競合）となる。従って、このT4サイクルの制御状態は通常サイクルaとなるため、Bポート13からは、1段目のアドレスADRBのN+2を書き込み用のデータDQBのDN+2等に基づいてアクセスが行われ、以降のサイクルにおいても同様にAポート12とBポート13から同

時にアクセスが実行される。

【0048】このように本実施例の2ポートRAM1では、優先順位の高いAポート12側のCPU2だけでなく、優先順位の低いBポート13側のCPU3も各サイクルにおいてコンフリクト信号CONFLBの検査とアクセスとを同時に行うことができるので、データ転送速度を向上させることができる。また、競合が発生した場合にも、CPU3がこの競合の発生から2サイクル後のT3サイクルにアクセス情報の送出を停止し1サイクル分だけ遅延させるだけで、アクセス情報の再送出を行うことなく連続してアクセスを続けることができる。

【0049】上記の2ポートRAM1において、Bポート13にN、N+1、N+2、…の連続したアドレスへの書き込みアクセスがあり、Aポート12にはN、N、N+1、N+1、N+2、N+3、…のような最初だけ同じアドレスが2回ずつ繰り返される書き込みアクセスがあった場合の動作を図4に基づいて説明する。

【0050】まず、T1サイクルでは、上記図3のT1サイクルと同じくアドレスADRA、ADRBが共にNとなって競合が発生し、制御状態がコンフリクト発生サイクルbとなるため、Bポート13側からのアクセスは中止される。次に、T2サイクルでも、再びアドレスADRA、ADRBが共にNとなって競合が発生し、制御状態はコンフリクト継続サイクルcとなるため、Bポート13側からのアクセスが中止される。

【0051】そして、これに続くT3サイクルとT4サイクルでは、前2回の競合によりCPU3がアクセス情報の送出を停止しチップイネーブル信号CEBバーをハイレベル（非選択）にするので、この間T1サイクルとT2サイクルで送られて来たアクセス情報が2段のシフトレジスタ131～133に保持され続ける。また、このT3サイクルでは、マルチプレクサ134がシフトレジスタ131の2段目からアドレスADRBのNを読み出すのに対してAポート12側のアドレスADRAはN+1となるので、競合が解消して制御状態がコンフリクト解除サイクルdに移り、このアドレスADRBのNによるアクセスが実行される。しかしながら、T4サイクルでは、マルチプレクサ134が1段目から読み出すアドレスADRBのN+1がAポート12側のアドレスADRAのN+1と競合し、制御状態は再びコンフリクト発生サイクルbに戻る。

【0052】しかしながら、T5サイクルでは、マルチプレクサ134がシフトレジスタ131の2段目からアドレスADRBのN+1を読み出すのに対してAポート12側のアドレスADRAはN+2となるので、競合が解消して制御状態がコンフリクト解除サイクルdに移り、このアドレスADRBのN+1によるアクセスが実行される。そして、T6サイクルでは、マルチプレクサ134がシフトレジスタ131の1段目からアドレスADRBのN+2を読み出すのに対してAポート12側の

アドレスA D R AはN+3となるので、ここでも競合が発生せずに制御状態が通常サイクルaに遷移し、以降のサイクルにおいても同様にAポート12とBポート13から同時にアクセスが実行される。

【0053】この結果、競合が連続して発生した場合や制御状態が競合解消途上のコンフリクト解除サイクルdにある場合に再度競合が発生したような場合にも、本実施例の2ポートRAM1は、競合発生時の2サイクル後のT3サイクル、T4サイクル及びT6サイクルにおいてCPU3がアクセス情報の送出を停止するだけで、正

常10にアクセスを継続することができることが確認できた。【0054】ここで、本実施例と第1従来例及び第2従来例の2ポートRAM1のデータ転送時間の比較を行

う。この比較のための設定条件を  
・2ポートRAM1のサイクル時間をTとする。  
【0055】・データ転送回数を1000回とする。  
【0056】・競合の発生回数を50回とする。  
【0057】・第2従来例の2ポートRAM1における同期合わせのための1サイクル当たりの平均オーバーヘッドをαとする。

【0058】として計算を行うと、下記の結果を得た。  
【0059】・本実施例：(1000+50)T=1050T

・第1従来例：(1000-50)×2T+50×4T=2100T

・第2従来例：1000×(2T+α)=2000T+1000α

この結果、本実施例は、第1従来例や第2従来例に比べてデータ転送時間を2分の1乃至それ以下に短縮できることが分かった。

【0060】なお、本実施例では、アクセスの競合をアドレスが一致するかどうかのみで判定したが、これに限らずこのアドレスやライトイネーブル信号等の検査によりメモリセルアレイ11の構造に応じて適宜判断することができる。また、本実施例では、CPU2、3のアクセスが同期しているものとしたが、これらが同期していない場合には、CPU3のアクセス中にCPU2からのアクセスが競合し排除される場合も生じる。ただし、この場合にも、シフトレジスタ121～123とマルチプレクサ124～126を用いてAポート12側について

も上記と同様の処理を行うと共に、コンフリクト信号C O N F L Aに基づいてCPU2がCPU3と同様の処理

うことにより本発明に基づく相互排除を実現することができる。

【0061】

【発明の効果】以上の説明から明らかなように、本発明のマルチポート半導体記憶装置によれば、メモリセルにアクセスする処理装置がビジー信号の検査を行うためやアクセス情報を再送出するために無駄にサイクルを費やすことがなくなるので、データ転送効率を向上させることができる。また、このアクセス情報の再送出を不要にすることにより、処理装置側のアクセス制御を簡易化させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すものであって、2ポートRAMの構成を示すブロック図である。

【図2】本発明の一実施例を示すものであって、2ポートRAMの制御動作を示す状態遷移図である。

【図3】本発明の一実施例を示すものであって、競合が1回だけ発生した場合の2ポートRAMの動作を示すタイムチャートである。

20【図4】本発明の一実施例を示すものであって、競合が頻繁に発生した場合の2ポートRAMの動作を示すタイムチャートである。

【図5】2ポートRAMを2つのCPU間の共有メモリとして使用した場合の構成を示すブロック図である。

【図6】第1従来例を示すものであって、2ポートRAMの構成を示すブロック図である。

【図7】第1従来例を示すものであって、2ポートRAMの動作を示すタイムチャートである。

30【図8】第2従来例を示すものであって、2ポートRAMの構成を示すブロック図である。

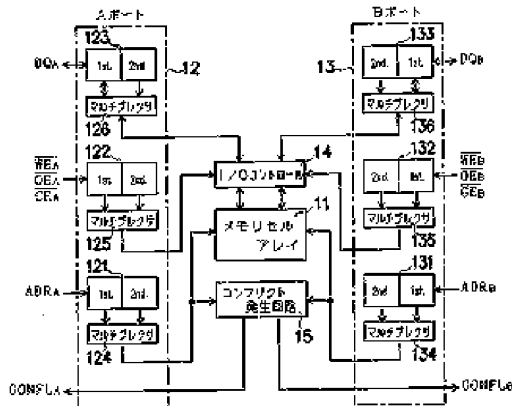
【図9】第2従来例を示すものであって、2ポートRAMの動作を示すタイムチャートである。

【符号の説明】

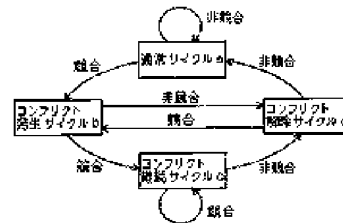
1	2ポートRAM
11	メモリセルアレイ
12	Aポート
13	Bポート
15	コンフリクト発生回路
121～123	シフトレジスタ
131～133	シフトレジスタ
124～126	マルチプレクサ
134～136	マルチプレクサ



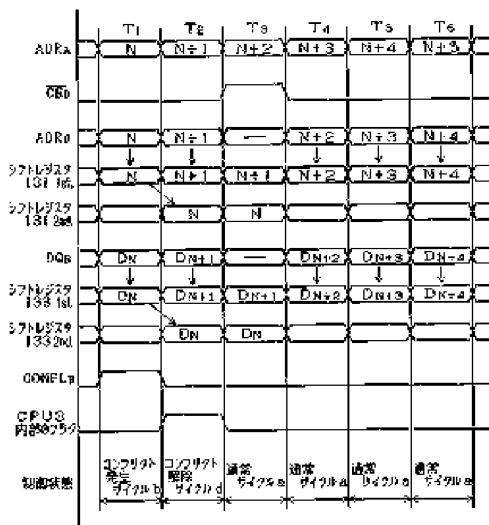
【図1】



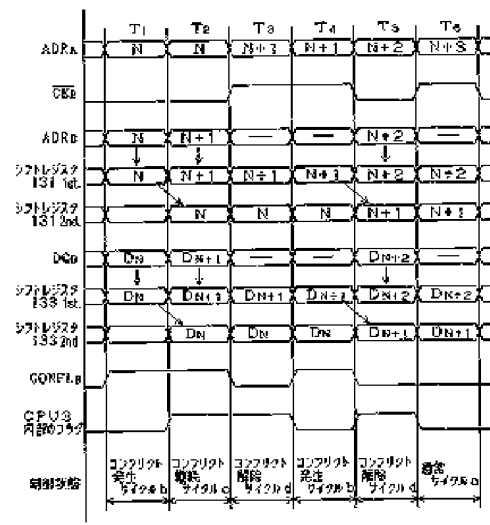
【図2】



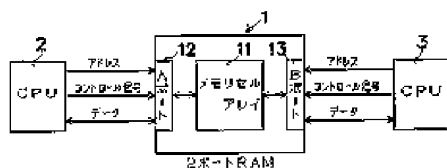
【図3】



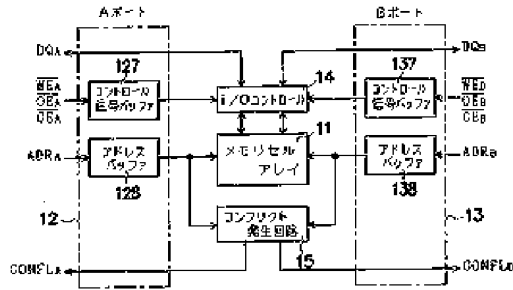
【図4】



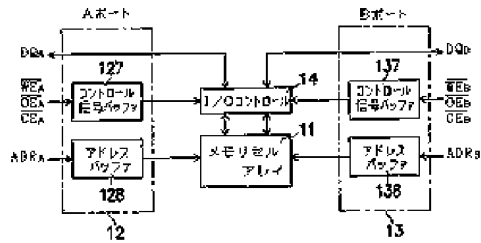
【図5】



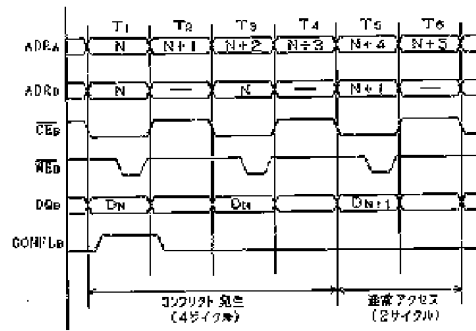
【図6】



【図8】



【図7】



【図9】

